平地研究室技術メモ No.20170908

位相シフトフルブリッジ方式のデューティーサイクルロスについて

（読んでほしい人：パワエレ技術者）

2017/9/8 舞鶴高専 平地克也

【あらまし】 位相シフトフルブリッジ方式 DC/DC コンバータでは、変圧器の 1 次巻線に直列接続されたリアクトルに蓄積されるエネルギーを用いて、遅れレグのソフトスイッチングを実現します。したがって、このインダクタンスを大きくするほど、ソフトスイッチングの成立領域が広がります。一方、このインダクタンスを大きくすれば「デューティーサイクルロス」が発生し、結果的に DC/DC コンバータの損失が増加します。デューティーサイクルロスとソフトスイッチングはトレードオフの関係にあります。今回の技術メモではデューティーサイクルロスの発生メカニズムとその影響を説明します。

■デューティーサイクルロスの発生メカニズム

図 1 に位相シフトフルブリッジ方式 DC/DC コンバータの回路構成と電圧電流記号を示します。矢印の方向を正の方向と定義します。

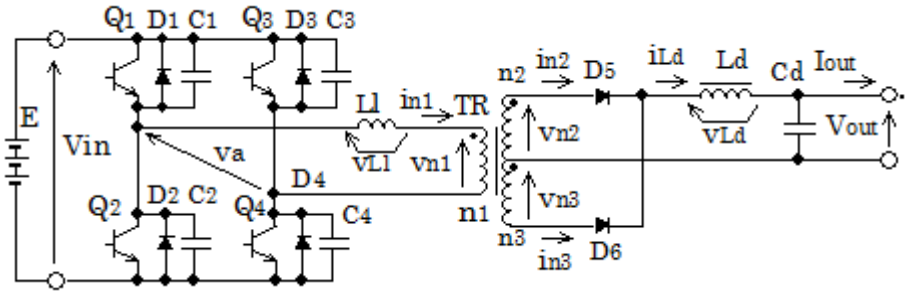


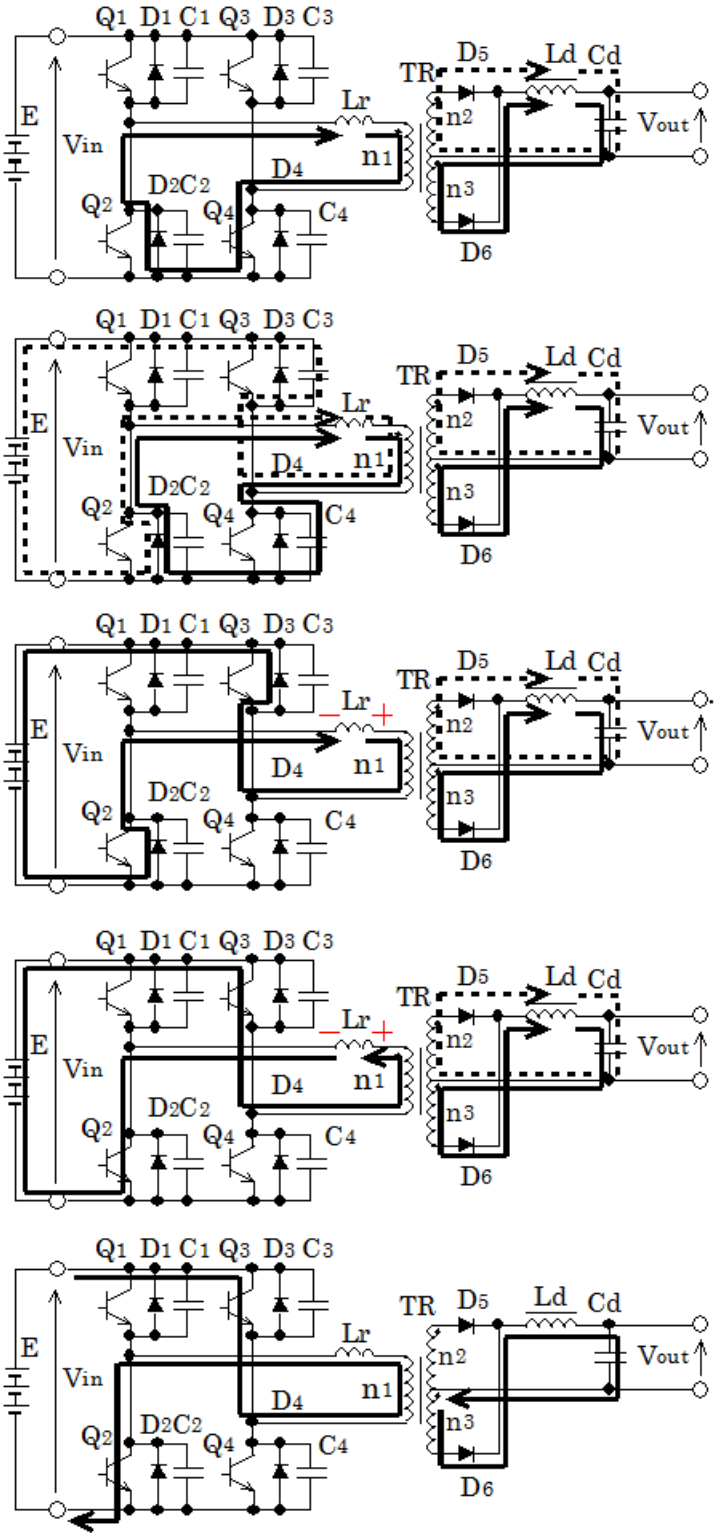
図 1　位相シフトフルブリッジ方式 DC/DC コンバータの回路構成と電圧電流記号

図 2 に環流モードから伝達モードへの過渡時の動作モードと電流径路を示します。＜環流モード(Mode 2)＞と＜伝達モード(Mode3)＞の間に過渡的な 3 つの動作モードがあり、この間に C_3 と C_4 の充放電およびインダクタンス Lr に蓄積されたエネルギーの電源への回生と再度の蓄積が行われます。前回の技術メモ（No.20170711、「位相シフトフルブリッジ方式の 2 次側整流ダイオードのサージ電圧抑制方法」）で説明したように、さらに詳しく調べると＜Lr のエネルギー蓄積＞から＜伝達モード(Mode3)＞に移行する時に整流ダイオードにサージ電圧が発生する動作モードが存在しますが、デューティーサイクルロスには影響しないのでここでは無視します。

図 3 に位相シフトフルブリッジ方式 DC/DC コンバータの主要な電圧電流波形を示します。Lr のエネルギー回生・蓄積の期間では Q_2 と Q_3（または D_2 と D_3）がオンしているので v_a＝－Vin ですが、2 次側の整流ダイオード D_5 と D_6 の双方が導通しているので変圧器の巻線電圧 v_{n2} は 0V です。－Vin は n_1 巻線ではなく、Lr に印加されており、v_{Lr}＝－Vin となっています。

このように、Lr のエネルギー回生・蓄積期間では Q_2 と Q_3 がオンしているにもかかわらず v_{n2}＝0 であり、2 次側に電力が伝達されません。Lr のエネルギー回生・蓄積が完了して初めて伝達モード(Mode 3) に移行します。この動作は伝達モードの割合を減少させていることになるのでデューテ

ィーサイクルロス（duty-cycle loss）と呼ばれています。図３に示すように、Q_2 と Q_3（または D_2 と D_3）がオンしている時間を $T\alpha$、伝達モードの時間（v_{n2} が出力される時間）を $T\beta$ とすると、$\alpha-\beta$ がデューティサイクルロスとなります。



＜環流モード（Mode 2）＞
Q_2 と Q_4 がオンしており、インダクタンス Lr のエネルギーで１次側に環流電流が流れている。
Q_4 がターンオフして次のモードへ。

＜C_3,C_4 充放電＞
Lr のエネルギーで C_3 が放電、C_4 が充電される。
充放電が完了すると次のモードへ。

＜Lr のエネルギー回生＞
充放電が完了しても Lr のエネルギーが残存しておれば、D_3 が導通して図示の経路で電流が流れ、Lr のエネルギーが電源 E に回生される。
Lr の電流は急速に減少し、0 になって次のモードへ。

＜Lr のエネルギー蓄積＞
Lr の電流が負方向に増加する。Lr 電流が $-\frac{n_1}{n_2}i_{Ld}$ に達して次のモードへ。

＜伝達モード（Mode 3）＞
Q_2,Q_3 を通って図示の経路で電流が流れ、エネルギーが 2 次側に伝達される。

図２　環流モードから伝達モードへの過渡時の動作モードと電流径路

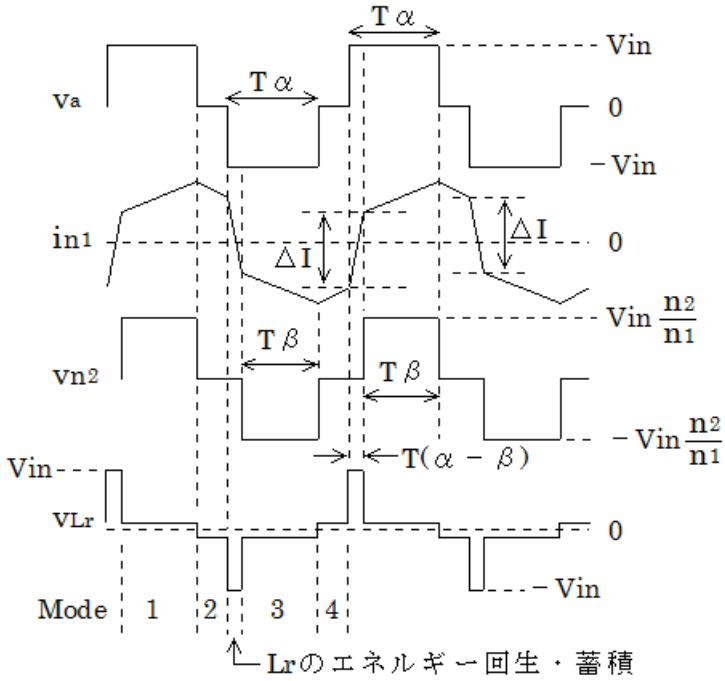


図３　位相シフトフルブリッジ方式 DC/DC コンバータの主要波形（T は動作周期）

■デューティーサイクルロスの期間に成立する式

デューティーサイクルロスは出力電圧を減少させるので、位相シフトフルブリッジ方式の設計にはデューティーサイクルロスの正確な計算が必要です。デューティーサイクルロス発生時に成立する式は以下の通りです。

2 次側の電流径路から、

$$i_{n2}(t)+i_{n3}(t)=i_{Ld} \quad \cdots\cdot(1)$$

なお、Ld は大きなインダクタンスなので i_{Ld} はデューティーサイクルロスの期間中一定の値と考えられます。変圧器の特性から、

$$i_{n2}(t)-i_{n3}(t)=\frac{n_1}{n_2}i_{n1}(t) \quad \cdots\cdot(2)$$

この期間、Lr には−Vin が印加されているので、リアクトルの特性から、

$$i_{n1}(t)=i_{n1}(0)+\frac{1}{L_r}v_{Lr}\,t=i_{n1}(0)-\frac{1}{L_r}V_{in}\,t \quad \cdots\cdot(3)$$

なお、変圧器の電流 i_{n1}, i_{n2}, i_{n3} は時間の関数と考えて(t)を付しています。時間の原点はこの期間の開始時刻であり、C_3, C_4 の充放電が完了して D_3 が導通した時です。

$i_{n1}(t)$は(3)式にしたがって急速に負方向に増加します。それにともない、(2)式にしたがって、$i_{n3}(t)$が急速に増加し、$i_{n2}(t)$が急速に減少します。そして、$i_{n1}(t)$が$-\frac{n_2}{n_1}i_{Ld}$に達すると $i_{n3}(t)=i_{Ld}$ となり、$i_{n2}(t)=0$ となり、D_5 が非導通となります。この時点で変圧器 2 次側の短絡状態が解消されて $v_{n2}=-V_{in}\frac{n_2}{n_1}$ となり、伝達モードが始まります。デューティーサイクルロスの継続時間を T_L とす

ると(3)式より次の式が成立します。

$$i_{n1}(T_L)=i_{n1}(0)-\frac{1}{L_r}V_{in}T_L=-\frac{n_2}{n_1}i_{Ld}$$

よって、

$$T_L=\frac{L_r}{V_{in}}(i_{n1}(0)+\frac{n_2}{n_1}i_{Ld}) \quad \cdots\cdot(4)$$

■デューティーサイクルロスの影響

次の条件を(4)式に代入すると $T_L=0.5\mu sec$ となります。

$V_{in}=300V$、$I_{out}=100A$（$i_{Ld}=100A$）、$\frac{n_2}{n_1}=0.1$、$i_{n1}(0)=5A$、$L_r=10\mu H$

動作周波数が 100kHz なら 0.5μsec は 1 周期の 5%に当たります。出力電圧 Vout は次の式で表されます。なおβは 1 周期に対する伝達モードの継続時間の割合です（図 3 参照）。

$$V_{out}=2\frac{n_2}{n_1}V_{in}\beta \quad \cdots\cdot(5)$$

デューティーサイクルロスが無い時はβの最大値は 50%ですが、デューティーサイクルロスが 5%の時はβの最大値は 45%となり最大出力電圧は 10%減少します。デッドタイムを考慮するとこの割合はさらに増加します。また、保持時間の仕様が厳しい時は、通常動作時のβの最大値を例えば 40%程度に低減して設計するので、最大出力電圧の減少率はもっと増加します。デューティーサイクルロスによる出力電圧の減少を補うためには変圧器の巻き数比（n_2／n_1）を増加させる必要があり、1 次電流が増加し、効率の悪化を招きます。

平地研究室技術メモ No.20141214「進みレグのソフトスイッチングと遅れレグのソフトスイッチング」で説明したように、遅れレグのソフトスイッチングはリアクトル Lr のエネルギーで実現します。Lr を大きくするとソフトスイッチングの実現領域を広げることができますが、(4)式にしたがってデューティサイクルロスは増加します。遅れレグのソフトスイッチングとデューティサイクルロスはトレードオフの関係にあります。

以上