

## 進みレグのソフトスイッチングと遅れレグのソフトスイッチング

(読んでほしい人：パワエレ初心者)

2014/12/14 舞鶴高専 平地克也

DC/DC コンバータやインバータでは図1のように直流電源の間に2つのスイッチ素子が直列接続された回路構成がよく使われますが、この2つのスイッチ素子の直列接続およびその付属部品を「レグ」と言います<sup>[注1]</sup>。位相シフト方式フルブリッジ型 DC/DC コンバータ（以下位相シフト方式と略す）は2つのレグから構成されており、一方のレグを進みレグ、他方を遅れレグと言います。進みレグと遅れレグではソフトスイッチングのメカニズムが相違しており、正しい設計のためには相違点の正確な理解が必要です。また、他の回路方式、例えば LLC 方式、DAB 方式、BHB 方式、などもレグを有しており、位相シフト方式と同様の原理でソフトスイッチングを実現しており、位相シフト方式を理解すれば他の様々な回路方式も容易に理解できます。

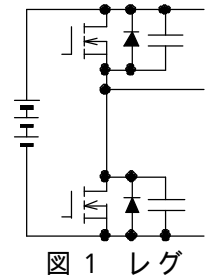


図1 レグ

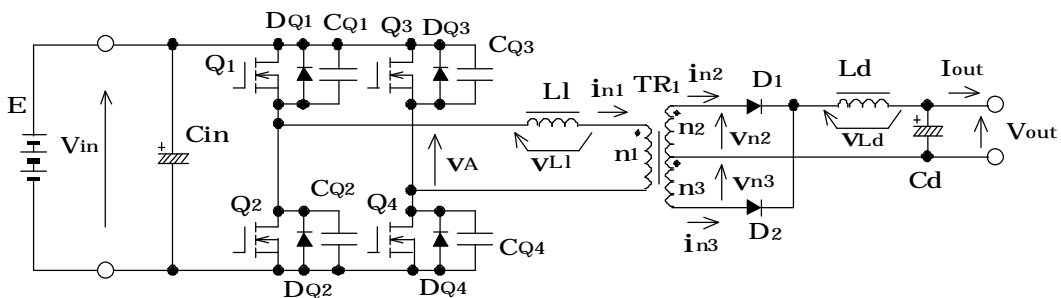
[注1] レグ (leg): この回路を1つの脚 (leg) に見立てている。マルチレベルインバータでは1つのレグに2の倍数のスイッチ素子が直列接続される。

### 位相シフト方式の進みレグと遅れレグ

図2に位相シフト方式の回路構成を示します。Q<sub>1</sub>とQ<sub>2</sub>が一つのレグを構成しています。Q<sub>3</sub>とQ<sub>4</sub>がもう一つのレグを構成しています。図3にQ<sub>1</sub>~Q<sub>4</sub>のON/OFFのタイムチャートと動作モード番号を示します。Q<sub>1</sub>とQ<sub>2</sub>はMode2-1,2でON状態とOFF状態が入れ替わります。Q<sub>3</sub>とQ<sub>4</sub>はそれから位相だけ遅れてMode3-1~3でON状態とOFF状態が入れ替わります。よって、Q<sub>1</sub>とQ<sub>2</sub>を進みレグ、Q<sub>3</sub>とQ<sub>4</sub>を遅れレグと言います。

### 進みレグの転流動作

図4(a)(b)に進みレグの転流時 (ON/OFFが入れ替わる時)の電流経路を示します。Mode1-4ではQ<sub>1</sub>とQ<sub>4</sub>がONしており、2次側ではD<sub>1</sub>が導通して電力を負荷側に供給しています。この状態でQ<sub>1</sub>がOFFするとMode2-1に移行します。Mode2-1ではE-C<sub>Q1</sub>-L<sub>1</sub>-n<sub>1</sub>-Q<sub>4</sub>-Eの経路でC<sub>Q1</sub>が



(DQ<sub>1</sub>~DQ<sub>4</sub>はQ<sub>1</sub>~Q<sub>4</sub>の寄生ダイオード、L<sub>1</sub>はTR<sub>1</sub>の漏れインダクタンスまたは外付けリアクトル)

図2 位相シフト方式フルブリッジ型 DC/DC コンバータ

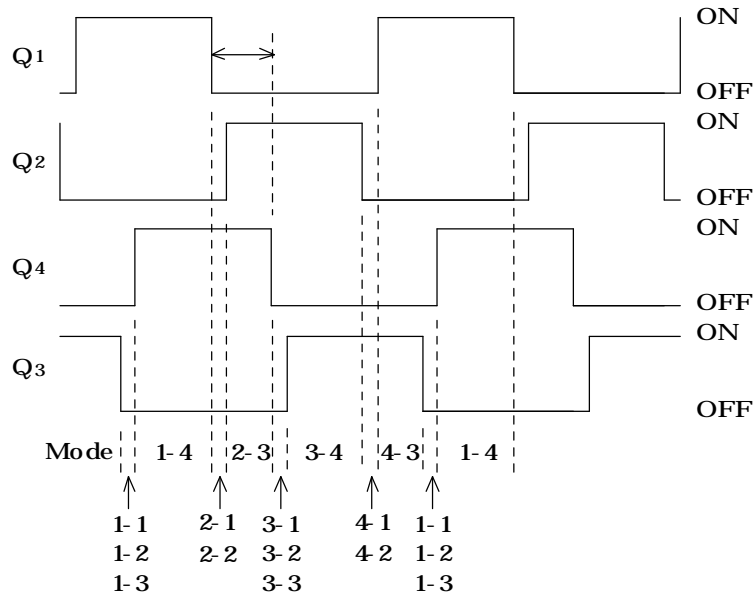
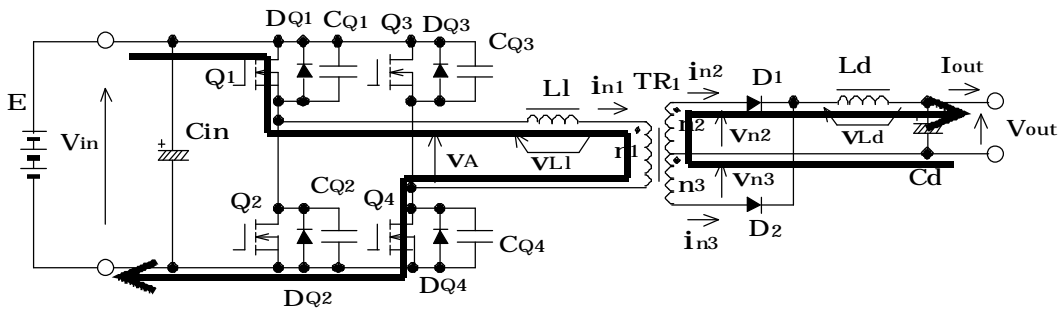


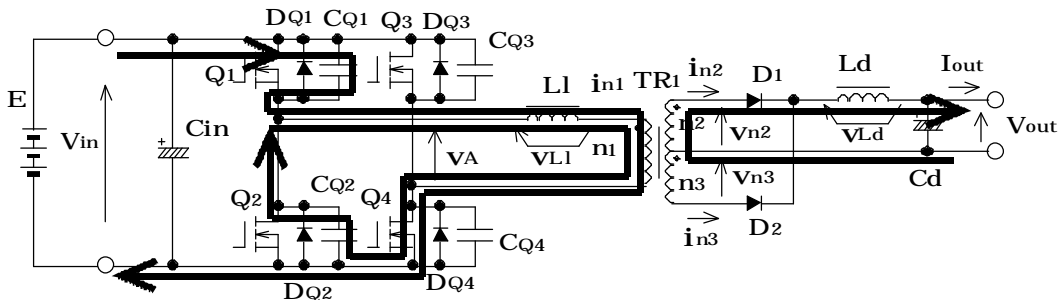
図3 スイッチ素子の ON/OFF のタイムチャートと動作モード番号

充電され、 $C_{Q1}$  の電圧は  $0V$  から電源電圧  $V_{in}$  まで上昇します。同時に  $C_{Q2}$   $L_1$   $n_1$   $Q_4$   $C_{Q2}$  の経路で  $C_{Q2}$  が放電し、 $C_{Q2}$  の電圧は  $V_{in}$  から  $0V$  まで低下します。

その後、 $D_{Q2}$  が導通して Mode2-2 となり、さらに  $Q_2$  が ZVS でターン ON して Mode2-3 となりますが、全ての動作モードの詳細な説明は平地研究室技術メモ No.20110928「位相シフト方式フルブリッジ型 DC/DC コンバータのソフトスイッチングの原理」[\[1\]](#)を参照下さい。



(a) Mode1-4 2次側に電力供給



(b) Mode2-1  $C_{Q1}$  充電、 $C_{Q2}$  放電

図4 進みレグの転流動作

### 進みレグの転流動作の特徴

進みレグの転流動作を詳しく検討しましょう。図4(a)から Mode1-4 では電流の流れてない不要な部品を削除すると図5になります。Q1、Q4、D1は導通しているので短絡し、リアクトル  $L_d$  を変圧器の1次側に換算して  $L_d'$  とし、コンデンサ  $C_d$  は定電圧源と考えてその電圧  $V_{out}$  を1次側に換算して  $V_{out}'$  とすると図6(a)となります。図6(a)からこの動作モードでは「 $v_A - V_{out}'$ 」の電圧が「 $L_l + L_d'$ 」に印加され、電流  $i_{n1}$  は徐々に増加することが分かります。(増加の速度はインダクタンスに反比例します。詳細は平地研究室技術メモ No.20080207<sup>[2]</sup>を参照下さい。) また、「 $L_l + L_d'$ 」なので「 $V_A - V_{out}'$ 」の電圧の大部分は  $L_d$  に印加され、 $i_{n1}$  の増加は  $L_d$  によって決定され、 $L_l$  はほとんど影響を与えません。

Mode2-1 では図4(b)から分かるようにEの代わりに  $C_{Q2}$  が電源となって回路に電圧が供給されます。なお、電流経路はもう一つあり、「 $V_{in} - C_{Q1}$  電圧 =  $C_{Q2}$  電圧」です。よって、Mode2-1 の等価回路は図6(b)となります。よって、Mode2-1 でも Mode1-4 と同様に「 $v_A - V_{out}'$ 」の電圧が「 $L_l + L_d'$ 」に印加されます。ただし、Mode1-4 では「 $v_A = V_{in}$ 」であり、 $v_A$  は一定ですが、Mode2-1 では  $C_{Q2}$  は急速に放電するので  $v_A$  は  $V_{in}$  から 0V まで急速に低下します。よって、図6(b)では  $v_A$  は可変電圧源として記載しています。

「 $L_l + L_d'$ 」なので Mode1-4 と同様に Mode2-1 でも、 $i_{n1}$  の変化は  $L_d$  で決定され、 $L_l$  はほとんど影響しません。後述するように遅れレグのソフトスイッチング動作は  $L_l$  が大きな役割を果たしますが、進みレグでは  $L_l$  は動作にほとんど無関係であり、ソフトスイッチングは  $L_l$  に無関係に原則として必ず成立します。(実はソフトスイッチングが実現しない場合もありますが、これについては後日報告します。)

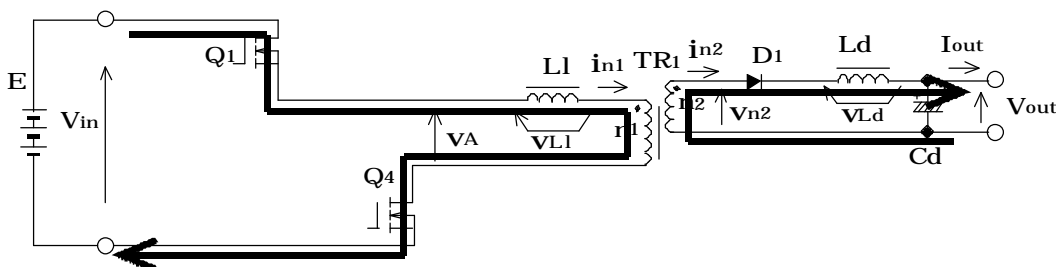
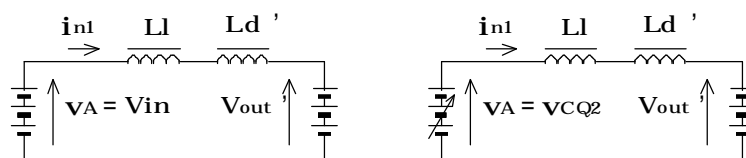


図5 Mode1-4 の不要部品を削除



(a) Mode1-4

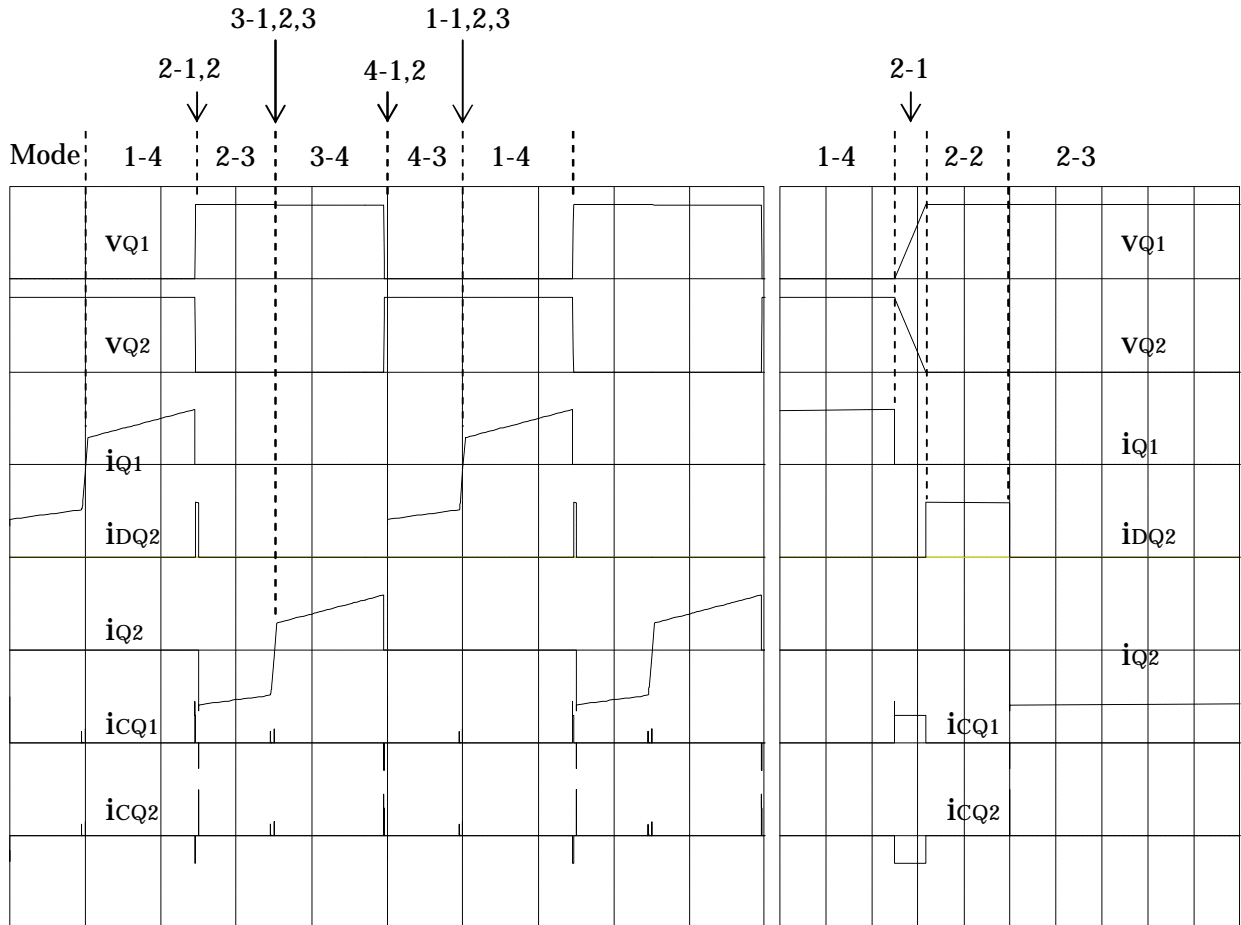
(b) Mode2-1

図6 進みレグの転流動作時の等価回路

### 進みレグの転流動作時の波形

図7(a)にシミュレーション波形と動作モード番号を示します。進みレグの動作を理解するために必要な波形を全て掲載しています。シミュレーション回路の動作条件は前回の技術メモ<sup>[3]</sup>と同じです。

理想的なソフトスイッチングが実現する条件での波形です。スイッチ素子のスイッチング時間はゼロ、整流ダイオードの逆回復時間と寄生容量もゼロとしています。図 7 (b)に進みレグ転流時の拡大波形を示します。



(a) 全体の波形 (10 μ sec/div) (b) 進みレグ転流時の拡大波形 (0.2 μ sec/div)

(Vin 400V、Vout 222V、Iout 4.44A、動作周波数 20kHz、位相シフト 20%、デッドタイム 1%にて)

図 7 進みレグ転流時の波形 (電圧は全て 500V/div、電流は全て 10A/div)

波形から次の動作が確認できます。

- Q1 が OFF ( $i_{Q1}$  が 0A に急減) にて Mode2-1 が始まり、 $C_{Q1}$  が充電され ( $i_{cQ1} > 0$ )  $C_{Q2}$  が放電している ( $i_{cQ2} < 0$ )

$$\text{Mode1-4 終了時の } i_{Q1} = i_{cQ1} - i_{cQ2}$$

- $C_{Q1}$  の充電に伴って Q1 電圧  $v_{Q1}$  が上昇し、 $C_{Q2}$  の放電に伴って Q2 電圧  $v_{Q2}$  が低下している。

$$v_{Q1} + v_{Q2} = V_{in}$$

- $C_{Q1}$ 、 $C_{Q2}$  の充放電完了後 Mode2-2 が始まり、 $D_{Q2}$  が導通している。

$$\text{Mode2-1 の } i_{cQ1} - i_{cQ2} = \text{Mode2-2 の } i_{DQ2}$$

- Q2 が ZVS でターン ON して Mode2-3 が始まり、 $D_{Q2}$  の電流  $i_{DQ2}$  が Q2 に転流している (Q2 に負方向に電流  $i_{Q2}$  が流れる)

$$i_{DQ2} = -i_{Q2}$$

### 遅れレグの転流動作

図 8 (a)(b)に遅れレグの転流時の電流経路を示します。Mode2-3 は循環モードであり、L1 n1 Q4 Q2 L1 の経路で 1 次巻線電流  $i_{n1}$  が循環しています。循環が継続するのは L1 にエネルギーが蓄積されているからであり、Q2 と Q4 の ON 抵抗や n1 の巻線抵抗などで L1 のエネルギーが失われるにつれて循環電流は減少します。n1 電流に対応する 2 次電流が n2 電流であり、n1 電流が減少するとそれに応じて n2 電流が減少し、それに対応して n3 電流が増加します。次の式が成立します。

$$\frac{di_{n1}}{dt} = \frac{1}{L_l} R_{on} i_{n1} \quad (R_{on} \text{ は } Q_2, Q_4, n_1 \text{ などの抵抗成分})$$

$$i_{n2} - i_{n3} = (n_1 / n_2) i_{n1}$$

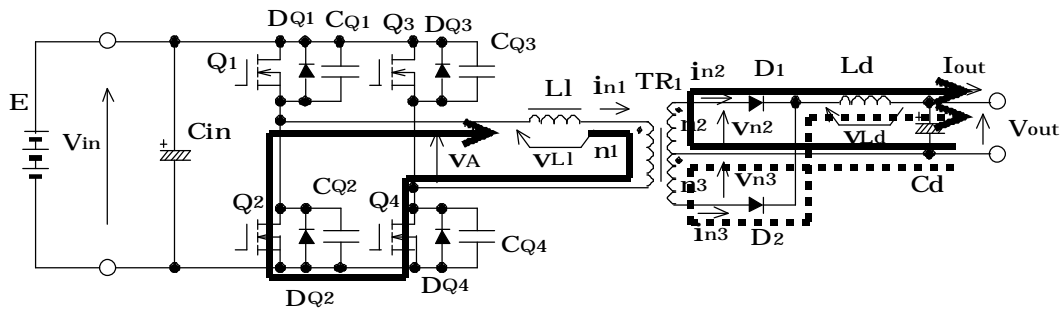
$$i_{n2} + i_{n3} = i_{Ld}$$

この状態で Q4 がターン OFF すると Mode3-1 に移行し、L1 のエネルギーで CQ4 と CQ3 が充放電されます。CQ4 の充電経路は L1 n1 CQ4 Q2 L1 (図 8 (b)の実線)、CQ3 の放電経路は L1 n1 CQ3 E Q2 L1 (図 8 (b)の点線) です。この充放電が完了するためには

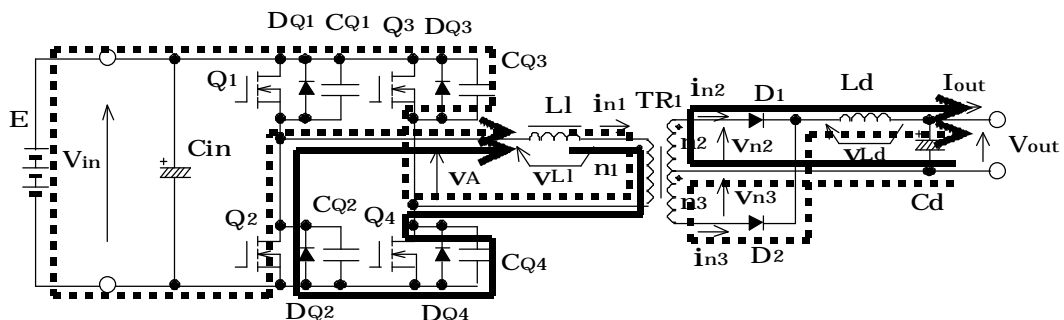
$$\frac{1}{2} L_l I_{n1}^2 > \frac{1}{2} (C_{Q3} + C_{Q4}) V_{in}^2 \quad \dots \dots (1)$$

の関係が必要です。なお、 $I_{n1}$  は Mode2-3 が終了する時点の  $i_{n1}$  の値です。

遅れレグの転流動作は図 9 のような等価回路で考えると分かり易いでしょう。図 8 (b)から電流の流れていない部品を消去し、導通している Q2 は短絡し、さらに 2 次側で短絡されている TR1 の n1 巻線も短絡すると図 9 (a)となり、これを整理すると図 9 (b)となります。CQ4 は充電されるのでその電圧  $v_{CQ4}$  は 0 から  $V_{in}$  に上昇します。CQ3 は放電するのでその電圧  $v_{CQ3}$  は  $V_{in}$  から 0 に低下します。



(a) Mode2-3 循環モード



(b) Mode3-1 CQ4 充電、CQ3 放電

図 8 遅れレグの転流動作

CQ3 と E2 を合わせた電圧を図のように  $v_{CQ3'}$  とします。  $v_{CQ3}$  が  $V_{in}$  から 0 に低下した時、  $v_{CQ3'}$  は 0 から  $V_{in}$  に上昇します。次に、  $C_{Q3'}$  を  $C_{Q3}$  から電圧を変更した同じ容量のコンデンサと考えると図 9 (c) となります。図 9 (c) は結局  $C_{Q3}$  と  $C_{Q4}$  の容量を加算したコンデンサを  $L1$  が充電していることを示しており、式(1)が成立することが納得できると思います。

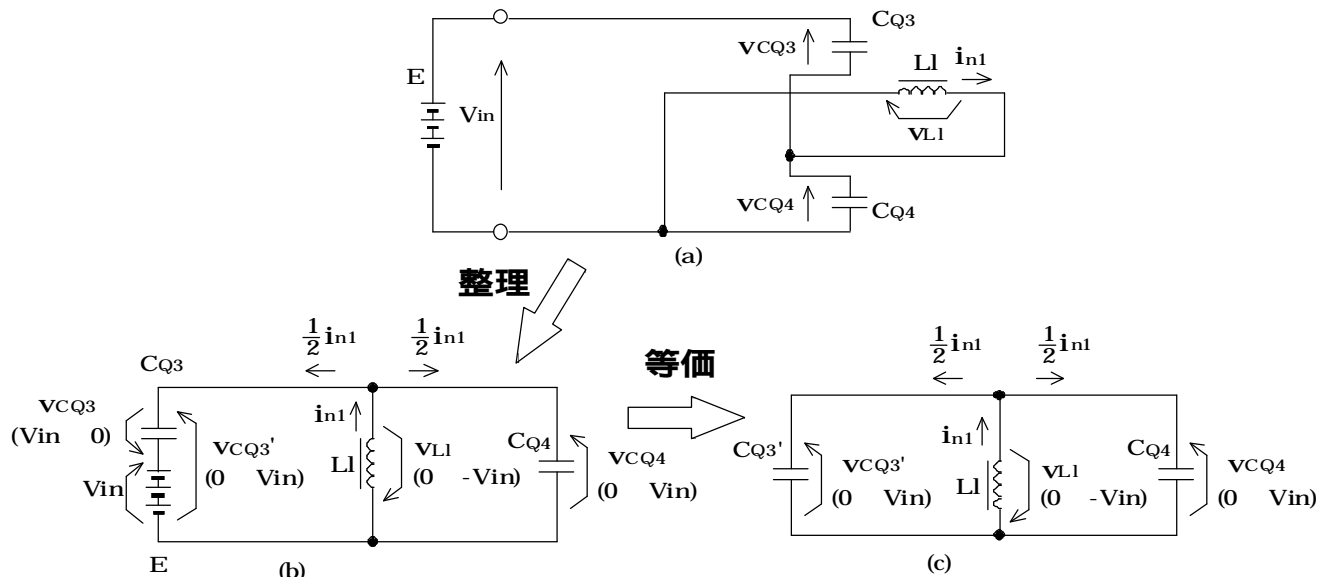


図 9 遅れレグの転流動作の等価回路

### 遅れレグの転流動作時の波形

図 1 0 (a) にシミュレーション波形と動作モード番号を示します。遅れレグの動作を理解するために必要な波形を全て掲載しています。シミュレーション回路と動作条件は前回の技術メモ (No.20141125<sup>[3]</sup>) と同じです。図 1 0 (b) に遅れレグ転流時の拡大波形を示します。

波形から次の動作が確認できます。

- $Q4$  が OFF ( $i_{q4}$  が 0A に急減) にて Mode3-1 が始まり、  $C_{Q4}$  が充電され ( $i_{cQ4} > 0$ )  $C_{Q3}$  が放電している ( $i_{cQ3} < 0$ )。

$$\text{Mode2-3 終了時の } i_{q4} = \text{Mode3-1 開始時の } i_{cQ4} - i_{cQ3}$$

- Mode3-1 において  $C_{Q4}$  の充電に伴って  $Q4$  電圧  $v_{Q4}$  が上昇し、  $C_{Q3}$  の放電に伴って  $Q3$  電圧  $v_{Q3}$  が低下している。

$$v_{Q3} + v_{Q4} = V_{in}$$

- $C_{Q3}$ 、  $C_{Q4}$  の充放電完了後 Mode3-2 が始まり、  $D_{Q3}$  が導通している。

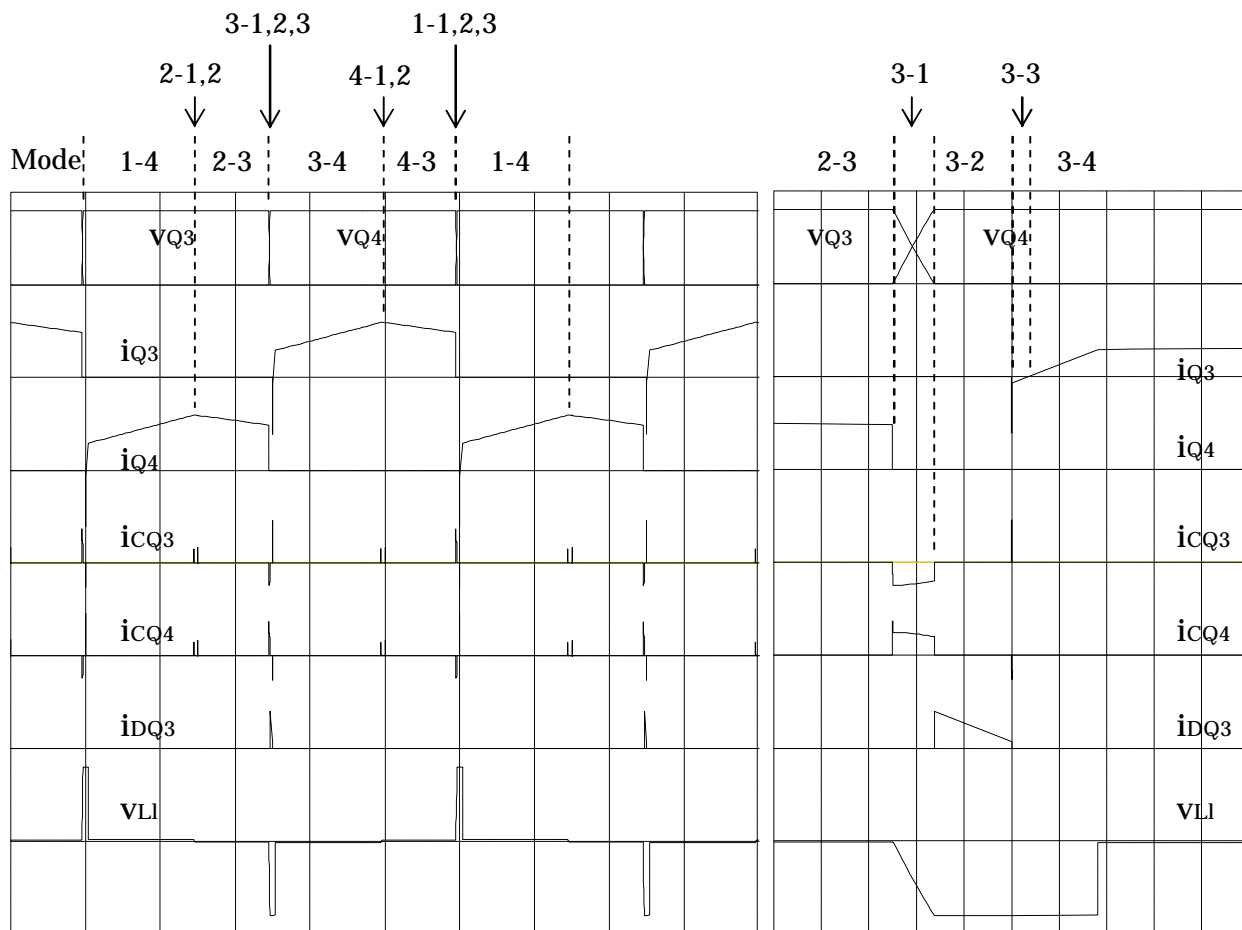
$$\text{Mode3-1 終了時の } i_{cQ4} - i_{cQ3} = \text{Mode3-2 開始時の } i_{DQ3}$$

- $Q3$  がターン ON して Mode3-3 が始まり、  $D_{Q3}$  の電流  $i_{DQ3}$  が  $Q3$  に転流している ( $Q3$  に負方向に電流が流れる)。その後  $Q3$  電流は急速に正方向に増加する。

$$\text{Mode3-2 終了時の } i_{DQ3} = \text{Mode3-3 開始時の } \lceil -i_{Q3} \rceil$$

- Mode3-1 から Mode3-4 で  $Q3$  電流  $i_{Q3}$  が定常値に達するまでの間  $L1$  には大きな負電圧が印加されている ( $v_{L1} < 0$ )。逆に進みレグの転流時 (Mode2-1,2) では  $L1$  電圧  $v_{L1}$  はほぼ 0 であり、進みレグの転流時には  $L1$  は動作に無関係であることが分かる。

・  $i_{DQ3}$  電流  $i_{DQ3}$  が流れている時に  $Q_3$  がターン ON しているので  $Q_3$  の ZVS が実現している。ただし、 $i_{DQ3}$  は Mode3-2 において急速に減少しているので  $Q_3$  のターン ON がもう少し遅れると  $i_{DQ3}$  は流れ終わってしまい  $Q_3$  のターン ON はハードスイッチングとなる。



(a) 全体の波形 (10  $\mu$  sec/div) (b) 遅れレグ転流時の拡大波形 (0.2  $\mu$  sec/div)

( $V_{in}$  400V、 $V_{out}$  222V、 $I_{out}$  4.44A、動作周波数 20kHz、位相シフト 20%、デッドタイム 1%にて)

図 10 遅れレグ転流時の波形 (電圧は全て 500V/div、電流は全て 10A/div)

### 進みレグと遅れレグの動作の違いと設計への配慮

#### <進みレグ>

進みレグは自然にソフトスイッチングができるので設計は容易です。スイッチ素子のスイッチング速度が遅い場合 (例えば IGBT など) はターン OFF 時のソフトスイッチング実現のためにはある程度大きなスナバコンデンサ ( $C_{Q1}$  と  $C_{Q2}$ ) を用いる必要がありますが、それでもターン ON 時のソフトスイッチングは自然に実現できます。

#### <遅れレグ>

一方、遅れレグのソフトスイッチング実現には(1)式を満たす必要があるためスナバコンデンサ ( $C_{Q3}$  と  $C_{Q4}$ ) は必要最小限にする必要があります。 $Q_3$  と  $Q_4$  にはなるべくスイッチング速度の速い素子を使って  $C_{Q3}$  と  $C_{Q4}$  は寄生容量だけで OK となるような設計が理想的です。また、ソフトスイ

ツチング実現のためには  $Q_3$  は  $D_{Q3}$  が導通している間にターン ON させる必要がありますが、そのためにはデッドタイム ( $Q_4$  が OFF してから  $Q_3$  が ON するまでの時間) を適切に設定する必要があります。例えば図 10 (b) では  $i_{DQ3}$  がかなり低下してから  $Q_3$  がターン ON していますが、もう少しターン ON が遅れると  $i_{DQ3}$  が流れ終わってしまい、ソフトスイッチング失敗となります。デッドタイムの設定誤差や  $C_{Q3}$  と  $C_{Q4}$  のバラツキや温度変化などを考慮すると(1)式を余裕をもって満足するように  $L1$  の値を設計し、 $D_{Q3}$  の導通時間をある程度長く設計する必要があります。このような配慮をすると  $L1$  の値はかなり大きくせざるを得ず、その結果ソフトスイッチングは実現できても効率の低下を招くこともあります。

### 参考文献

- [1] 平地克也、「位相シフト方式フルブリッジ型 DC/DC コンバータのソフトスイッチングの原理」、平地研究室技術メモ No.20110928
- [2] 平地克也、「リアクトル電流の考え方」、平地研究室技術メモ No.20080207
- [3] 平地克也、「位相シフト方式フルブリッジ型 DC/DC コンバータのシミュレーション波形」、平地研究室技術メモ No.20141125

以上